

⑫ 公開特許公報 (A)

昭58—210678

⑬ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和58年(1983)12月7日

発明の数 3
審査請求 未請求

(全 7 頁)

⑮ パワーMOSFET構成体及びその製造方法

⑯ 特 願 昭58—86740

⑰ 出 願 昭58(1983)5月19日

優先権主張 ⑱ 1982年5月20日 ⑲ 米国(US)
⑳ 380170㉑ 発 明 者 マジユカール・ビー・ボラ
アメリカ合衆国カリフォルニア
95030 ロス・ガトス・ランスベ
リー・コート110

㉒ 発 明 者 ビクラム・エム・パテル

アメリカ合衆国カリフォルニア
95070 サラトガ・ドハビルラン
ド・ドライブ19444㉓ 出 願 人 フェアチアイルド・カメラ・ア
ンド・インストルメント・コー
ポレーションアメリカ合衆国カリフォルニア
94042 マウンテン・ビュー・エ
リス・ストリート464

㉔ 代 理 人 弁理士 小橋一男 外1名

明 細 書

1. 発明の名称

パワーMOSFET構成体及びその製造方法

2. 特許請求の範囲

1. 上表面を有し第1導電型の半導体ドレイン領域と、前記上表面から下方向へ選定距離前記ドレイン領域内を延在する開口と、前記開口及び前記上表面に隣接する第1導電型のソース領域と、前記ソース領域と前記ドレイン領域との間に設けられ前記ドレイン領域の前記表面へ延在する反対導電型のゲート領域と、前記ゲート領域の上方に設けられると共に絶縁物質によって前記ゲート領域から離隔されているゲート電極と、前記ソース領域、前記ドレイン領域、前記ゲート領域へ電気的接続を与える手段とを有することを特徴とする半導体構成体。

2. 上記第1項に於いて、前記電気的接続を与える手段が前記開口内に付着形成された電極を有することを特徴とする構成体。

3. 上記第1項に於いて、前記ドレイン領域

が半導体物質からなるエピタキシャル層を有することを特徴とする構成体。

4. 上記第2項に於いて、前記電気的接続を与える手段がその上にエピタキシャル層が形成されている半導体基板を有することを特徴とする構成体。

5. 上記第1項に於いて、前記開口が実質的に垂直な側壁を有することを特徴とする構成体。

6. 上記第1項に於いて、前記ゲート電極がポリシリコンを有することを特徴とする構成体。

7. 上記第5項に於いて、前記絶縁物質が二酸化シリコンを有することを特徴とする構成体。

8. 半導体構成体の製造方法に於いて、第1導電型の半導体ドレイン領域上に導電性ゲート電極を絶縁物質層によって前記ドレイン領域から離隔させて形成し、前記電極に隣接する前記ドレイン領域内に第1導電型及び反対導電型の不純物を導入してソース領域及びゲート領域を夫々形成し反対導電型不純物部を第1導電型不純物部の下側に存在させ、前記ドレイン領域の1部を除去して

前記電極に隣接する開口を形成し前記除去した領域を前記第1導電型不純物部を貫通するが前記反対導電型不純物部を貫通することがない様に延在させ、前記ドレイン領域、前記ソース領域、前記ゲート電極への電気的接続部を設けることを特徴とする方法。

9. 上記第8項に於いて、導電性ゲート電極を形成する工程に於いて、前記絶縁物質層上にポリシリコンを付着形成することを特徴とする方法。

10. 上記第8項に於いて、第1導電型と反対導電型の不純物を導入する工程に於いて、第1導電型不純物及び反対導電型不純物をイオン注入することを特徴とする方法。

11. 上記第10項に於いて、第1導電型の不純物と反対導電型の不純物を導入する工程の後に第1導電型不純物及び反対導電型不純物を拡散させる工程を行なうことを特徴とする方法。

12. 上記第8項に於いて、前記ドレイン領域の一部を除去する工程に於いて、前記ドレイン領域をエッチングすることを特徴とする方法。

13. 上記第12項に於いて、前記エピタキシャル層をプラズマでエッチングすることを中心とする方法。

14. 上記第8項に於いて、前記電気的接続部を設ける工程に於いて、前記開口内に金属を付着させることを特徴とする方法。

15. 上記第14項に於いて、前記電気的接続部を設ける工程に於いて、更に、下側に存在する一層高度にドーパされている半導体基板上にドレイン領域を形成することを特徴とする方法。

16. 上記第8項に於いて、前記第1導電型がN導電型であることを特徴とする方法。

17. 上記第8項に於いて、前記電気的接続部を設ける工程の前に、前記開口を介して付加的に反対導電型不純物を導入する工程を行なうことを特徴とする方法。

18. 上記第17項に於いて、前記付加的な反対導電型不純物が前記ゲート領域の下側に反対導電型領域を形成することを特徴とする方法。

19. 半導体構成体の製造方法に於いて、第1

- 3 -

導電型のシリコン基板上に上表面を有する第1導電型のエピタキシャルシリコン層を付着させ、前記エピタキシャル層の前記上表面上に二酸化シリコンによって離隔させて複数個のポリシリコン電極を形成し、前記電極間に於ける前記エピタキシャル層内に第1導電型及び反対導電型の不純物を導入し、前記電極間の前記エピタキシャル層の領域を除去して少なくとも前記第1導電型部を貫通して延在する開口を前記エピタキシャル層内に形成し、既に存在する反対導電型不純物部の下側に反対導電型の不純物を導入し、前記開口内に金属電極を形成することを特徴とする方法。

3. 発明の詳細な説明

本発明は集積回路構成体及びその製造方法に関するものであって、更に詳細には、高速度化されたスイッチング速度を有すると共に改善されたブレイクダウン特性を有する改良したパワー金属-酸化物-半導体電界効果型トランジスタ(MOSFET)に関するものである。

集積回路製造技術に於いて弛まなき改善が成さ

- 4 -

れた結果、比較的大容量のパワーで能率的な高周波数スイッチング動作を行なうことの可能なMOSFETを製造する様になってきた。パワー-MOSFETは、集積回路製造技術を使用することによって製造することの可能な最初のパワー半導体デバイスの一つを代表している。パワー-MOSFETに関する文献としては、“高速度に於ける大容量ワットのスイッチング動作(Switching Lots of Watts at High Speed)”, B. Balliga 著, IEEEスペクトラム, 1981年12月, 42-48頁, がある。

高度パワー-MOSFET構成体を製造する為の有用な1技術はVDMOSであり、VDMOSはV形状をした溝内に二重拡散を使用して製造したMOSデバイスのことを意味する。しかしながら従来製造されているVDMOS構成体は幾つかの欠点を有している。このような従来のデバイスは、通常、その様な構成体に於いて本質的に存在する寄生バイポーラトランジスタの2次ブレイクダウンに極めて影響を受け易いということである。更

に、この様な構成体は、オンされた場合に、通常好ましからざる大きなドレイン対ソース抵抗を有するものである。加えて、この様なデバイスはその寸法が比較的大きなものであることから好ましからざる程度に低い速度でスイッチ動作を行ない、且つゲート容量が大きいものである。

本発明は、以上の点に鑑み成されたものであって、上述した如き従来技術の欠点を解消し改良したパワーMOSFET構成体及びその製造方法を提供することを目的とする。本発明のパワーMOSFETは従来のものと比較し性能特性が改善されており、特に、本発明は集積回路構成体に於いて本質的に存在する寄生トランジスタの2次ブレイクダウンの影響を軽減し、ドレイン対ソース抵抗を低くし、従来のデバイスと比較して小さなゲート容量を有すると共に一層高速度でスイッチング動作を行なうことが可能なパワーMOSFET構成体を提供するものである。

本発明に基づいて製造された半導体構成体の1形態に於いては、上表面を有する第1導電型の半

導体ドレイン領域と前記上表面から下方向へ遠距離前記ドレイン領域内を延在する開口と、前記開口及び前記上表面に隣接する第1導電型のソース領域と、前記ソース領域と前記ドレイン領域との間に設けられ前記ドレイン領域の表面へ延在する反対導電型のゲート領域と、前記ゲート領域の上方に設けられ絶縁物質によって前記ゲート領域から離隔されているゲート電極と、前記ソース領域、前記ドレイン領域、前記ゲート電極へ電気的接続を与える手段とを有している。

本発明パワーMOSFET構成体を製造する方法の1形態に於いては、第1導電型の半導体ドレイン領域上に導電性ゲート電極を絶縁物質層によって前記ドレイン領域から離隔させて形成し、前記電極に隣接した前記ドレイン領域内に第1導電型及び反対導電型の不純物を導入して前記第1導電型部の下側に反対導電型からなるソース領域及びゲート領域を夫々形成し、前記ドレイン領域を部分的に除去して前記電極に隣接する開口を形成しその際前記除去した部分が前記第1導電型部を

- 7 -

貫通するが前記反対導電型部を貫通しない様に延在させ、前記ドレイン領域、前記ソース領域、前記ゲート電極へ電気的接続を設ける上記各工程を有するものである。

以下、添付の図面を参考に、本発明の具体的実施の態様について詳細に説明する。本発明半導体構成体の好適実施例の断面を第6図に示してある。第1図乃至第6図は本発明パワーMOSFET構成体を製造することが可能な方法の各ステップを示している。第1図は、公知のプロセスを使用して製造することの可能な半導体構成体の断面を示している。第1図に示した如く、軽度ドーピングしたN⁻導電型エピタキシャルシリコン層12が高度にドーピングしたN⁺導電型シリコン基板10の上表面上に付着形成されている。好適実施例に於いては、基板10は市販されているシリコン基板であって、不純物濃度 10^{19} 原子数/ccへアンチモンでドーピングされているものである。適宜のエピタキシャル反応器を使用して基板10の上表面全体にエピタキシャル層12を形成することが可能で

- 8 -

ある。好適実施例に於いては、エピタキシャル層12は10乃至50ミクロンの厚さを有し、燐の不純物濃度 10^{18} 原子数/ccを有するものである。基板10はエピタキシャルシリコン12への電気的コンタクトとして機能し、エピタキシャルシリコン12は本発明MOSFETのドレインを形成する。エピタキシャル層12の上表面上に比較的薄い二酸化シリコン層15を形成する。好適実施例に於いては、二酸化シリコン層15は2,000Åの厚さを有し、その下側の構成体を1,000℃の温度へ2時間酸液中において加熱することによって形成される。二酸化シリコン層15は本発明MOSFETのゲード酸化膜を形成する。

二酸化シリコン層15の上表面上に、例えば、CVD技術を使用してポリシリコン層18を付着形成する。ポリシリコン層18は、約8,000Åの厚さで、酸素によって不純物濃度 10^{20} 原子数/ccにドーピングされている。ポリシリコン層18を付着形成する際にドーピングすることも可能であるが、ポリシリコン層18を付着形成した後に公知の拡

散乃至はイオン注入プロセスを使用して不純物を導入させることも可能である。導電性ポリシリコン層18の領域がゲート電極を形成する。最後に、第1図に示した如く、ポリシリコン層18の上表面上に第2の二酸化シリコン層20を形成する。この場合に、例えば、その下側に存在する構成体を30分間1,000℃の温度へ加熱することにより5,000Åの厚さの二酸化シリコン層20を形成する。

周知の集積回路製造技術を使用して二酸化シリコン層20の上表面上に適宜のマスク(不図示)を付着させると共にパターン形成する。第2図に示した如く、各パターン形成されたマスクの下側に存在する二酸化シリコン層15、20及びポリシリコン層18の領域22及び24に於ける部分が除去される。好適実施例に於いては、このエッチング工程を行なう場合にプラズマを使用するか又は反応性硫黄エッチング技術を使用し、二酸化シリコン層15、18及びポリシリコン層20によって形成されている“サンドイッチ”構成を介

して比較的縦方向に切込んだ溝を形成する。二酸化シリコン層15、20を除去するのに適したエッチングガスとしては四弗化炭素があり、一方四塩化炭素を使用してポリシリコン層18を除去することが可能である。明らかな如く、本発明パワーMOSFET構成体のゲート電極を必要とする箇所にポリシリコン層18を残存させる。

次いで、第2図に示した構造を800℃の温度へ2時間加熱することによって酸化させ、第3図に於いて領域22及び24として示した如く二酸化シリコン層25及び26を形成させる。第3図に示した構造の側壁上に形成される二酸化シリコン層は約3,000Åの厚さであり、一方エピタキシャルシリコン層12の表面上に直接形成される二酸化シリコン層は約8,000Åの厚さである。側壁上の二酸化シリコン層25は、領域22及び24内に形成される電極をドーパされたポリシリコンゲート電極18から電気的に分離させる機能を有する。更に、二酸化シリコン層25は爾後のエッチング工程に於けるマスクとしても機能する。次い

- 11 -

で、第3図に示した構造をエッチングして、第4図に示した如く、領域22及び24の中央部分の底部から二酸化シリコン層26を除去する。この工程は公知のプラズマエッチング装置及び四弗化炭素エッチングガスを使用することによって行なうことが可能である。

次いで、第4図に示した如く、二酸化シリコン層26を除去した表面を介してエピタキシャル層12の上表面内にP導電型及びN導電型のドーパントを導入させる。これらのドーパントは、各開口内に於いてP導電型領域30とN導電型領域33とを形成する。種々のプロセス技術を使用してこれらのドーパントを導入させることが可能である。例えば、1実施例に於いては、P導電型領域30を形成する場合に、ドーパントをエピタキシャル層12の表面内にイオン注入させて行なうことが可能である。次いで、低注入エネルギーを使用してエピタキシャル層12の上表面に一層近接させてN導電型領域33を形成させる。次いで、1,000℃の温度へ2時間加熱し注入したドーパント

- 12 -

を拡散させて第4図に示した如き構造とさせる。別法としては、周知の二重拡散プロセスを使用してこれらの不純物を導入させることも可能である。好適実施例に於いては、P導電型領域30は表面不純物濃度が 10^{17} ボロン原子数/ccであり、N導電型領域33が表面不純物濃度 10^{20} 砒素原子数/ccを有するものである。

これらの不純物を導入すると共に拡散した後に、エピタキシャル層12の表面上に形成されている全ての二酸化シリコンを除去し、シリコンそのものをエッチングして第5図に示す如き構造とさせる。好適実施例に於いては、エピタキシャルシリコン層12をプラズマ又は反応性イオンプロセス技術を使用してエッチングし、実質的に垂直な側面を有する開口であって4,000Åの深さを有すると共に少なくともN導電型領域33を貫通して延在する開口を形成する。エピタキシャル層12がN導電型の単結晶シリコンである場合には、周知の異方性化学的エッチング技術を使用してV形状の溝を形成することが可能である。

- 13 -

- 372 -

- 14 -

エピタキシャル層12内に開口21を形成した後、ボロン乃至はその他のP導電型不純物を開口21の底部内にイオン注入し領域36を形成する。典型的には、この領域36は 10^{20} 原子数/ccの濃度へドーパされる。次いで、必要に応じ、加熱を行なってP導電型不純物36を拡散させ第5図に示す如き構造とさせる。

次いで、第6図に示した如く、金属接続体40を形成する。これらの接続体は、典型的には、上表面全体及び開口21内にアルミニウム層を付着形成させ、次いで周知のマスク技術及びホトリソグラフィ技術を使用して、この金属層をパターン形成して所望の領域40とさせることによって形成する。電極40はN導電型ソース領域へのコンタクトとして機能し、ソース領域33とゲート領域30とを“短絡”させる機能を有する。高度にドーパされているN導電型ウエハ10を第6図に再び示してあり、本発明パワーMOSFETのドレイン12への任意の電気的接続を行なうことが可能であることを例示している。典型的な実施例

に於いては、ゲート電極18の全ては互いに電気的に接続され、又ソース電極40も全て互いに接続される。このような構成とすることにより、1個のチップがその中に存在する何れの1個のMOSFETよりも実質的に大きなパワーを制御することが可能となる。

第7図は第6図に示した集積回路構成体の個別回路の等価回路図を示している。第7図に示した如く、本パワーMOSデバイスにはゲート30と、ソース33と、ドレイン12と、ゲート電極18とによって形成されている。金属コンタクト40は、ソース33への電気的接続を与えており、一方領域10はドレイン12への電気的接続を与えている。第6図に示した構成体の中に形成される寄生バイポーラトランジスタは、コレクタ12と、エミッタ33と、ベース30とによって構成される。

ゲート及び寄生ベース領域30の下側に存在する高度にドーパしたP導電型領域36は、寄生バイポーラトランジスタのベース抵抗を減少させて

- 15 -

いる。MOSデバイスのブレイクダウン電圧は、通常、寄生バイポーラデバイスのコレクターエミッタブレイクダウン電圧によって制限されており（一方、該コレクターエミッタブレイクダウン電圧はコレクターベースブレイクダウン電圧とベース抵抗との積に比例している）、従ってベース抵抗を低くすることにより全体的なパワーMOSデバイスのブレイクダウン電圧が増加される。単一チップ上に形成されるMOSデバイスの集積度を増加させることによって構成体の相互コンダクタンスを改善することによって前記ブレイクダウン電圧を更に増加させることが可能である。ゲート及びソースを自己整合させることにより単位セル毎のゲート容量を低下させることによって相互コンダクタンスとゲート容量の比を増加させることが可能であり、そうすることによりスイッチング速度が向上される。

第6図に図示した構造から得られる効果としては、寄生バイポーラNPNトランジスタのベース抵抗が著しく減少されているということである。

- 16 -

このことは、N+拡散領域33の端部がその上側に存在するポリシリコンゲート18の端部と自己整合されていることから得られるものである。この自己整合構造により、寄生バイポーラトランジスタのコレクターエミッタ間ブレイクダウン電圧が増加されている。更に、第6図に示した構造はレイアウトが小型化されているので、ソースドレイン間の抵抗が減少されており、従来の構造と比較して相互コンダクタンスが向上されている。

以上、本発明の具体的構成に付いて詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。例えば、本構成体を逆極性でバイアスすることにより、ソースはドレインとなり、ドレインはソースとなる。

4. 図面の簡単な説明

第1図は公知の技術を使用して製造することの可能な半導体構造を示した断面図、第2図は第1図の構造をエッチングした後の状態を示した断面

- 17 -

- 373 -

- 18 -

図、第3図は付加的な絶縁層を形成した後の状態を示した断面図、第4図はP導電型不純物を導入した後の状態を示した断面図、第5図はエッチングを行なうと共に付加的なP導電型不純物を導入した後の状態を示した断面図、第6図は完成した構成体を示した断面図、第7図は第6図に示した構成体の電気的構成を示した回路図、である。

(符号の説明)

- 10 : シリコン基板
- 12 : エピタキシャル層
- 15 : 二酸化シリコン層
- 18 : ポリシリコン層
- 20 : 二酸化シリコン層
- 21 : 開口
- 25, 26 : 二酸化シリコン層
- 30 : P導電型領域
- 33 : N導電型領域
- 36 : P導電型領域
- 40 : 金属接続体

- 19 -

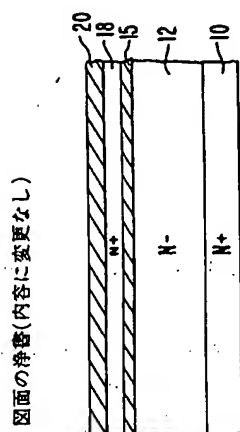


FIG. 1

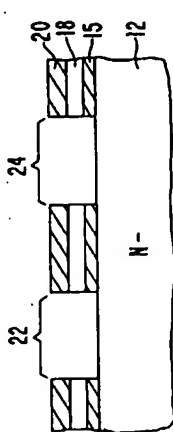


FIG. 2

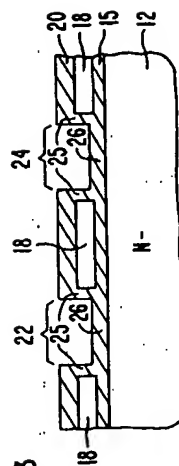


FIG. 3

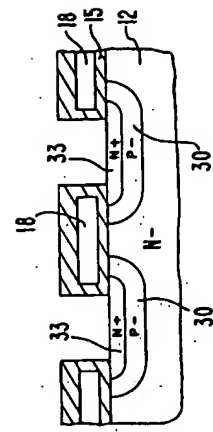


FIG. 4

手続補正書

昭和58年 6月20日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示 昭和58年 特 許 願 第 86740 号

2. 発明の名称 パワーMOSFET構成体及びその製造方法

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国 カリフォルニア 94042,
マウンテン ビュー, エリス ストリート 464
名称 フェアチャイルド カメラ アンド インストルメント
コーポレーション

4. 代 理 人

住所 東京都港区虎ノ門5丁目3番20号
仙石山アネックス 311号室 (電話438-0858)

小 橋 国 際 特 許 事 務 所 男 小 橋 国 際 特 許 事 務 所
氏名 (5779) 弁理士 小 橋 一 男 (外1名)

5. 補正命令の日付 自 発

6. 補正により増加する発明の数 な し

7. 補正の対象 図 面, 委 任 状

8. 補正の内容 別紙の通り

方式 平 式
特 許 庁

FIG. 5

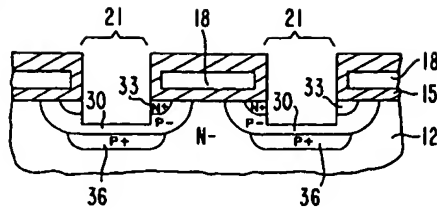


FIG. 6

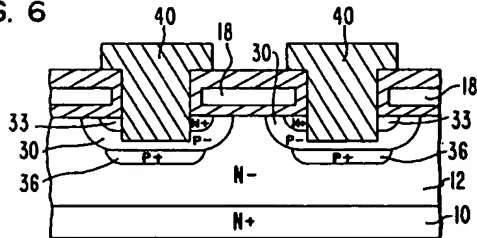
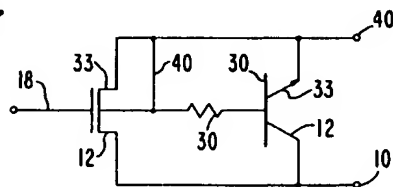


FIG. 7



Requested document:

[JP58210678 click here to view the pdf document](#)

Method of fabricating power MOSFET structure utilizing self-aligned diffusion and etching techniques

Patent Number: ☐ [US4503598](#)
Publication date: 1985-03-12
Inventor(s): PATEL VIKRAM M (US); VORA MADHUKAR B (US)
Applicant(s): FAIRCHILD CAMERA INSTR CO (US)
Requested Patent: ☐ [JP58210678](#)
Application Number: US19820380170 19820520
Priority Number(s): US19820380170 19820520
IPC Classification: H01L21/22; H01L21/467
EC Classification: [H01L21/336B2B](#), [H01L23/485](#), [H01L29/10G](#), [H01L29/78B2B](#)
Equivalents: DE3381185D, ☐ [EP0094891](#), [A3](#), [B1](#)

Abstract

A power MOSFET semiconductor structure is fabricated using the steps of depositing an epitaxial layer 12 of N conductivity type silicon on an underlying silicon substrate 10 of N conductivity type, forming a plurality of polycrystalline silicon electrodes 18 on the epitaxial layer 12, each electrode 18 being separated from the epitaxial layer 12 by a layer of insulating material 15; introducing P 30 and N 33 conductivity type impurities into the epitaxial layer 12 between the electrodes 18, the P type impurity 30 underlying the N type impurity 33; removing regions of the epitaxial layer 12 to form openings 21 in the epitaxial layer 12 between the electrodes 18, the removed regions 21 extending through the N type region 33 but not through the P type region 30; and depositing electrically conductive material 40 in the opening 23. The resulting semiconductor structure includes an N type substrate 10, an N type epitaxial layer 12, an opening 21 in the epitaxial layer 12 extending downward a selected distance, an upper N type region 33 surrounding the opening 21 and extending to the surface of the epitaxial layer 12, a lower P type region 30 which extends to the surface of the epitaxial layer 12 and everywhere separates the N type region 33 from epitaxial layer 12, an electrode 40 formed in the opening and extending to the upper surface of the epitaxial layer 12, and a second electrode 18 disposed above epitaxial layer 12 and separated from it by insulating material 15.

Data supplied from the esp@cenet database - I2